

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

17254378

Basic Patent (No,Kind,Date): JP 2001223165 A2 20010817 <No. of Patents:

001>

NITRIDE SEMICONDUCTOR AND METHOD OF MANUFACTURING THE SAME (English)

Patent Assignee: HITACHI CABLE

Author (Inventor): SAKAGUCHI HARUNORI

IPC: \*H01L-021/20; H01L-021/205; H01L-021/306; H01L-033/00

Derwent WPI Acc No: C 02-209821

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2001223165	A2	20010817	JP 200038213	A	20000210 (BASIC)

Priority Data (No,Kind,Date):

JP 200038213 A 20000210

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06995585    \*\*Image available\*\*

NITRIDE SEMICONDUCTOR AND METHOD OF MANUFACTURING THE SAME

PUB. NO.:        2001-223165 [JP 2001223165 A]

PUBLISHED:      August 17, 2001 (20010817)

INVENTOR(s):    SAKAGUCHI HARUNORI

APPLICANT(s):   HITACHI CABLE LTD

APPL. NO.:      2000-038213 [JP 200038213]

FILED:          February 10, 2000 (20000210)

INTL CLASS:     H01L-021/20; H01L-021/205; H01L-021/306; H01L-033/00

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide a nitride semiconductor that is excellent in quality and productivity by reducing generation of crystal and by preventing generation of warping, and a method of manufacturing the same.

SOLUTION: In a nitride semiconductor grown on a substrate 1 and in a method of manufacturing the same, after the nitride semiconductor layer 10 is grown on the substrate 1 and a porous layer 2 having number of fine voids 2a is formed in the nitride semiconductor layer 10, a heat treatment is made to form a recrystallized layer 3 by recrystallizing the surface.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-223165  
(P2001-223165A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/20		H 0 1 L 21/20	5 F 0 4 1
21/205		21/205	5 F 0 4 3
21/306		33/00	C 5 F 0 4 5
33/00		21/306	B 5 F 0 5 2

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21) 出願番号 特願2000-38213 (P2000-38213)

(22) 出願日 平成12年2月10日 (2000.2.10)

(71) 出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72) 発明者 坂口 春典

茨城県土浦市木田余町3550番地 日立電線

株式会社アドバンスリサーチセンタ内

(74) 代理人 100068021

弁理士 網谷 信雄

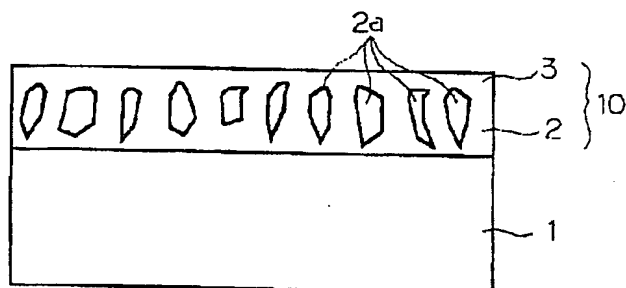
最終頁に続く

(54) 【発明の名称】 窒化物半導体及びその製造方法

(57) 【要約】

【課題】 結晶欠陥の発生を低減すると共に反りの発生を防止することにより、品質と生産性に優れた窒化物半導体及びその製造方法を提供する。

【解決手段】 基板1上に成長される窒化物半導体及びその製造方法において、基板1上に窒化物半導体層10を成長させ、その窒化物半導体層10に多数の微細なポイド2aを有する多孔質層2を形成した後、熱処理を施して表面を再結晶化させて再結晶層3を形成する。



## 【特許請求の範囲】

【請求項1】 基板と、該基板上に形成され内部に多数の微細なボイドを有する窒化物半導体層とを備えたことを特徴とする窒化物半導体。

【請求項2】 基板と、該基板上に形成され内部に多数の微細なボイドを有する窒化物半導体層と、該窒化物半導体層の上に少なくとも一層形成された薄膜とを備えたことを特徴とする窒化物半導体。

【請求項3】 上記窒化物半導体層及び上記薄膜は、GaN、AlGaN、又はInGaNのいずれかからなる請求項1又は2に記載の窒化物半導体。

【請求項4】 基板上に窒化物半導体層を成長させ、その窒化物半導体層に多数の微細なボイドを形成した後、熱処理を施して表面を再結晶化させて再結晶層を形成することを特徴とする窒化物半導体の製造方法。

【請求項5】 基板上に窒化物半導体層を成長させ、その窒化物半導体層に多数の微細なボイドを形成した後、熱処理を施して表面を再結晶化させて再結晶層を形成し、該再結晶層上に一層以上の薄膜をエピタキシャル成長により形成することを特徴とする窒化物半導体の製造方法。

【請求項6】 上記微細なボイドの大きさ、数、密度、分布などを上記熱処理により制御する請求項4又は5に記載の窒化物半導体の製造方法。

【請求項7】 上記の製造を行った後、上記基板或いは上記基板及びボイドを有する多孔質層を剥離する請求項4から6のいずれかに記載の窒化物半導体の製造方法。

【請求項8】 上記の製造を行った後、上記基板がある側とは反対側の表面に他の基板を貼り付け、上記基板或いは上記基板及び上記多孔質層を剥離する請求項4から7のいずれかに記載の窒化物半導体の製造方法。

【請求項9】 上記他の基板としてシリコンなどの半導体基板、窒化アルミニウムなどの高熱伝導性基板、或いは銅、アルミなどの金属基板を用いる請求項4から8のいずれかに記載の窒化物半導体の製造方法。

【請求項10】 上記熱処理を水素中、 $\text{NH}_3$ 中、もしくはその両者を含む雰囲気中で行う請求項4から9のいずれかに記載の窒化物半導体の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、窒化物半導体及びその製造方法に係り、特に異種基板上であっても結晶欠陥が少なく、反りが少ない窒化物半導体層が形成される窒化物半導体及びその製造方法に関するものである。

【0002】

【従来の技術】 一般に、GaN、あるいはその混晶のAlGaN、InGaNなどの窒化物半導体は、同種の基板が実質的に存在しないため、サファイアやSiC等の異種基板上に薄膜成長されて製造されている。

【0003】 しかし、このように異種基板上に成長され

た窒化物半導体は、基板との格子定数が異なるため、それに起因する結晶欠陥の増加や、基板と薄膜との熱膨張差により発生する反りが成長時及び成長後に問題となっている。

【0004】 結晶欠陥は、その窒化物半導体から製造される、光素子の発光特性や信頼性を悪化させ、電子デバイスのリーク電流や非線形性の発生、信頼性低下などの原因となる。

【0005】 また、反りは、成長中では加熱物体（例えばグラファイト製のサセプタ）との接触の不均一性を生じさせ、エピ薄膜のキャリア濃度や組成などの特性に不均一性をもたらす。特に窒化物半導体がInGaNでは、この温度の不均一性は致命的である。

【0006】 成長後の常温での反りは、その後の素子製造工程で行われるフォトリソグラフィにおいて、微細パターンの露光の際に大きな問題となる。

【0007】 このため、これら結晶欠陥及び反りの発生の防止対策として、選択成長によるラテラル方向成長を利用したELOG (O.-H. Nam et al, Appl. Phys. Lett. 71(1997)2472) やFIEL (A. Sakai et al, Appl. Phys. Lett. 71(1997)2259) が開発されている。

【0008】 これ以外にも、製造する窒化物半導体の同種基板となるGaN基板の開発も進んでいる。

【0009】 また、HVPEで数百 $\mu\text{m}$ のGaN膜をサファイア基板上に成長し、後にサファイア基板を除去してGaN基板とする手法も提案されており、この方法は、品質やコストの面からより現実的である。

【0010】

【発明が解決しようとする課題】 しかしながら、ELOGやFIELは、いまだ結晶欠陥が $10^6 \sim 10^7 / \text{cm}^3$ ほどあり、反りの問題は全く改善されていない。

【0011】 また、GaN基板の開発は、まだ10mm直径のものしか製造できておらず、製法も超高压下で行うため製造コストが非常に高く、実用的でない。

【0012】 また、HVPEでサファイア基板上にGaNを成長した後、サファイア基板を除去する方法は、結晶欠陥がかなり多く、さらに実用的なサファイア基板の除去法が無く、除去後も反りが残るなどの問題がある。

【0013】 そこで、本発明の目的は、結晶欠陥の発生を低減すると共に反りの発生を防止することにより、品質と生産性に優れた窒化物半導体及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】 上記課題を解決するために請求項1の発明は、基板と、その基板上に形成され内部に多数の微細なボイドを有する窒化物半導体層とを備えたものである。

【0015】 請求項2の発明は、基板と、その基板上に形成され内部に多数の微細なボイドを有する窒化物半導

体層と、その窒化物半導体層の上に少なくとも一層形成された薄膜とを備えたものである。

【0016】請求項3の発明は、上記窒化物半導体層及び上記薄膜は、Ga<sub>2</sub>N、AlGa<sub>2</sub>N、又はInGa<sub>2</sub>Nのいずれかからなるものである。

【0017】請求項4の発明は、基板上に窒化物半導体層を成長させ、その窒化物半導体層に多数の微細なボイドを形成した後、熱処理を施して表面を再結晶化させて再結晶層を形成する方法である。

【0018】請求項5の発明は、基板上に窒化物半導体層を成長させ、その窒化物半導体層に多数の微細なボイドを形成した後、熱処理を施して表面を再結晶化させて再結晶層を形成し、該再結晶層上に一層以上の薄膜をエピタキシャル成長により形成する方法である。

【0019】請求項6の発明は、上記微細なボイドの大きさ、数、密度、分布などを上記熱処理により制御する方法である。

【0020】請求項7の発明は、上記の製造を行った後、上記基板或いは上記基板及びボイドを有する多孔質層を剥離する方法である。

【0021】請求項8の発明は、上記の製造を行った後、上記基板がある側とは反対側の表面に他の基板を貼り付け、上記基板或いは上記基板及び上記多孔質層を剥離する方法である。

【0022】請求項9の発明は、上記他の基板としてシリコンなどの半導体基板、窒化アルミニウムなどの高熱伝導性基板、或いは銅、アルミなどの金属基板を用いる方法である。

【0023】請求項10の発明は、上記熱処理を水素中、NH<sub>3</sub>中、もしくはその両者を含む雰囲気中で行う方法である。

【0024】すなわち、本発明の要点は、Ga<sub>2</sub>N膜（AlGa<sub>2</sub>N、InGa<sub>2</sub>Nでも可。）を、陽極酸化や光エッチング（C.Youtsey et al, Appl. Phys. Lett. 71, (1997) 2151）でエッチングしてそのGa<sub>2</sub>N膜表面に多孔質（ポアラス）を形成し、さらにこの多孔質Ga<sub>2</sub>Nを水素中で熱処理して、表面が連続した平滑な再結晶層を有するGa<sub>2</sub>Nエピ膜を形成することにある。

【0025】上記構成によれば、多孔質Ga<sub>2</sub>Nが水素と反応して一部がGaとNH<sub>3</sub>になり、このGaが表面をマイグレートしてキンクやステップなどの核成長サイトでNH<sub>3</sub>と反応し、Ga<sub>2</sub>Nがエピタキシャル成長する。これが熱平衡となるまで進行し、適切な温度、時間、水素の純度、NH<sub>3</sub>などのガス混合により、多孔質Ga<sub>2</sub>Nの表面が再結晶化すると共にエピタキシャル成長して、表面が連続した平滑なGa<sub>2</sub>Nエピ膜が形成される。

【0026】これにより、基板と窒化物半導体との格子定数の違いから、それらの界面付近に結晶欠陥が発生しても、表面の再結晶化はラテラル方向に起こるため、再結晶層は、ELOGのように結晶欠陥が低減する。

【0027】また、基板と窒化物半導体との熱膨張差や格子定数差による歪みは、表面が再結晶化してもその下に多孔質が存在するため、このミクロな多数のボイドの部分が基板と薄膜（窒化物半導体）との熱膨張差や格子定数差による歪みをいわばクッション層のような効果で緩和する。

【0028】従ってエピ膜中の結晶欠陥が減り、エピ成長中及び成長後の反りも大幅に低減される。

【0029】さらに、本発明は、この多孔質（ボイド）の層を選択エッチング、超高压水流、GaAsジェット、レーザー切断などにより、溶解、破断して基板からエピ膜を剥離し、そのエピ膜を他の基板に貼り付ける（無論、剥離前に貼り付けることもできる。）ことにより、デバイス応用に応じた最適な基板・エピ構造とすることもできる。

【0030】

【発明の実施の形態】次に、本発明の好適一実施の形態を添付図面に基づいて詳述する。

【0031】図1に本発明にかかる窒化物半導体としてGa<sub>2</sub>Nの側面図を示す。

【0032】図1に示すように、このGa<sub>2</sub>Nは、サファイア基板1と、そのサファイア基板1上に形成された窒化物半導体層10とから構成されており、すなわち異種基板上に形成された窒化物半導体である。

【0033】窒化物半導体層10は、表面側には良質なGa<sub>2</sub>Nからなる再結晶層3が形成され、また、基板側には微細なボイド及びその集合体2aからなる多孔質Ga<sub>2</sub>N層2が形成されている。

【0034】このGa<sub>2</sub>Nの製造方法を図5を用いて説明する。

【0035】図1に示したGa<sub>2</sub>Nを製造するに際しては、まず、図5（a）に示すように、サファイア基板1上に、通常のMOCVD法や、MBE法、HVPEH法などにより、Ga<sub>2</sub>Nの薄膜10aを成長させる。

【0036】そして、このGa<sub>2</sub>N10aを、図5（b）に示すように、上述した光エッチング（C.Youtsey et al, Appl. Phys. Lett. 71, (1997) 2151）によりエッチングし、多数の微細なボイド及びその集合体2aからなる多孔質10bを形成する。この多数のボイド2aの形成は、光エッチングの条件（光の強度、波長、エッチング液の温度）を調節して行われる。

【0037】また、このエッチングの基本条件は、例えば、照射光は波長365nmの紫外線、エッチング液はKOHとK<sub>2</sub>S<sub>2</sub>O<sub>8</sub>との混合水溶液であり、Ga<sub>2</sub>Nをこのエッチング液中に入れ、これに照射光を当ててエッチングする。この時、エッチング液に溶解させたくない部分（Ga<sub>2</sub>Nの表面あるいは裏面の一部又は全面）がある場合には、その部分にAuやPtなどの貴金属を付着させる場合もある。

【0038】そして、この多孔質Ga<sub>2</sub>NをMOCVD炉

に入れ、水素中で加熱する。この時、水素に $\text{NH}_3$ や窒素を混合する場合もある。加熱温度は $800^\circ\text{C}\sim 1100^\circ\text{C}$ 、加熱時間は数秒から数時間の範囲が一般的だが、多孔質 $\text{GaN}$ の状態などによっては上述した温度・時間以外の条件でも良い。

【0039】この加熱により、図5(c)に示すように、多孔質 $\text{GaN}$ が水素と反応して一部は $\text{Ga}$ と $\text{NH}_3$ になり、この $\text{Ga}$ が表面をマイグレートしてキンクやステップなどの核成長サイトで $\text{NH}_3$ と反応し、 $\text{GaN}$ がエピタキシャル成長する。そして、このエピタキシャル成長が熱平衡となるまで進行し、適切な温度、時間、水素の純度、 $\text{NH}_3$ などのガス混合により、多孔質の $\text{GaN}$ 表面が再結晶化すると共に表面がエピタキシャル成長して、表面が連続した平滑な再結晶層3が形成される。

【0040】このようにして、表面には再結晶層3を有し、その下に微細なポイド2aが多数存在する多孔質層(微細ポイド層)2を有する $\text{GaN}$ 膜が形成される。

【0041】そして、この微細ポイド層2の性状(ポイドの大きさ、密度、大きさの分布、微細ポイド層2の厚さなど)は、さらなる熱処理、あるいは加熱工程後の更なる熱処理で制御される。

【0042】その後、炉内が冷却され、 $\text{GaN}$ が取り出される。

【0043】このようにして製造された $\text{GaN}$ は、サファイア基板1と窒化物半導体層10との格子定数の違いにより、それらの界面付近に結晶欠陥が発生するが、表面の再結晶層3の再結晶化がラテラル方向に起こるため、ELOGのように結晶欠陥が低減する。

【0044】また、サファイア基板1と窒化物半導体層10との熱膨張差による歪みも、多孔質層2により緩和されるので、 $\text{GaN}$ に反りが発生しない。

【0045】更に、微細ポイド層(多孔質層)2は、低誘電率、高抵抗となるため、この $\text{GaN}$ から製造されるHEMT横型デバイスでは、リーク電流が低減されると共に、寄生抵抗の発生が低減される。

【0046】さらに、本発明は、この多孔質(ポイド)層2を選択エッチング、超高压水流、 $\text{GaAs}$ ジェット、レーザー切断などにより、溶解、破断してサファイア基板1からエピ膜を剥離し、そのエピ膜を他の基板に貼り付ける(無論、剥離前に貼り付けることもできる。)ことにより、デバイス応用に応じた最適な基板・エピ構造とすることもできる。

【0047】次に、本発明の他の実施の形態を説明する。

【0048】図2に、図1に示した $\text{GaN}$ の基板及び多孔質層を剥離・除去した再結晶層の側面図を示す。

【0049】図2に示すように、この $\text{GaN}$ (3)は、多孔質 $\text{GaN}$ 上に成長された $\text{GaN}$ のみで形成されている。

【0050】すなわち、この $\text{GaN}$ (3)は、同種基板

上に成長された $\text{GaN}$ であるため、結晶欠陥が存在せず、それ自体に反りも発生していない。

【0051】これにより、この $\text{GaN}$ (3)から光素子を製造した場合には、その光素子は、発光特性が低下せず、信頼性も高い。また、電子デバイスのリーク電流や非線形性も発生しない。

【0052】さらに、 $\text{GaN}$ (3)は反りがないので、成長中の加熱物体との接触が均一に保たれ、エピタキシャル薄膜のキャリア濃度や組成などの特性が均一になると共に、また、成長後のフォトリソグラフィーにおいても、微細パターンの露光工程の作業性に優れる。

【0053】また、他の実施の形態として、図3に、図1に示した $\text{GaN}$ の基板を剥離・除去した $\text{GaN}$ (窒化物半導体層)の側面図を示す。

【0054】図3に示すように、この $\text{GaN}$ は、基板側に形成された多孔質層2と、表面側に形成された再結晶層3とから構成されている。

【0055】すなわち、この $\text{GaN}$ は、基板側の結晶には、基板との格子定数の違いにより発生した結晶欠陥が存在するが、表面の再結晶化がラテラル方向に起こるため、再結晶層3に結晶欠陥が発生しない。また、同種基板上に形成された $\text{GaN}$ であるため、上述した図2の $\text{GaN}$ と同様に、この $\text{GaN}$ から光素子を製造する場合、素子の特性が低下せず、信頼性の高い素子が製造できる。

【0056】また、これら以外の他の実施の形態として、図4に、窒化物半導体の薄膜を多層に積層した $\text{GaN}$ の側面図を示す。

【0057】図4に示すように、この $\text{GaN}$ は、本実施の形態で説明した多孔質 $\text{GaN}$ の加熱工程まで行った後、引き続き、そのまま炉内で $\text{GaN}$ 、 $\text{AlGaIn}$ 、又は $\text{InGaIn}$ などの窒化物半導体4a, 4b, . . . 4nを、 $\text{GaN}$ 系のデバイス用の構造となるようにエピタキシャル成長させるか、又は、炉内から $\text{GaN}$ ウェハを取り出した後、別途、MOCVD法によりその $\text{GaN}$ ウェハの上にデバイス構造のエピタキシャル成長を行って、サファイア基板1上の再結晶層3の上に、窒化物半導体4a, 4b, . . . 4nが多層に積層された薄膜(多層膜)4を形成したものである。

【0058】この多層窒化物半導体から製造するデバイスがLEDの場合は、上述した表面結晶化多孔質 $\text{GaN}$ の上に、例えば、Siドープn型 $\text{GaInN}$ 層、アンドープ $\text{InGaIn}$ とアンドープ $\text{GaInN}$ の量子井戸型活性層、Mgドープp型 $\text{GaInN}$ 層を順次成長すれば良い。

【0059】また、製造するデバイスがHEMTの場合は、例えば、はじめにアンドープ $\text{GaInN}$ 層を成長させ、さらに $\text{AlGaIn}$ 層と $\text{GaInN}$ 層を交互に複数層積層したバッファ層を成長させ、さらに $\text{GaInN}$ 又は $\text{InGaIn}$ のチャンネル層を成長させる。そして、n型 $\text{AlGaIn}$ 又はn型 $\text{GaInN}$ キャリア供給層を成長させ、さらにその層の

上に、 $n++$ 型Ga<sub>2</sub>N、又は $n++$ 型InGa<sub>2</sub>N層をオーミックコンタクト層として成長させる場合もある。また、キャリア供給層をアンドープとしても良い。

【0060】また、本実施の形態では、窒化物半導体層10がGa<sub>2</sub>Nの場合について説明したが、変形例として、AlGa<sub>2</sub>N、又はInGa<sub>2</sub>Nのいずれかの薄膜であっても良い。また、他の実施の形態で、多層膜について説明したが、Ga<sub>2</sub>N、AlGa<sub>2</sub>N、又はInGa<sub>2</sub>Nの組み合わせはこれに限定されないことは勿論である。

【0061】更に、基板としてサファイア以外にも、基板としてGa<sub>2</sub>NやSiCでもバルクGa<sub>2</sub>Nを用いても良い。

【0062】また、本実施の形態では、反応炉としてMOCVD炉を用いたが、通常CVD炉や、MBE炉、HVPE炉、拡散炉のようなものでも良く、この時の熱処理も、水素中だけでなく、NH<sub>3</sub>中、もしくはその両者を含む雰囲気中に行っても良い。

【0063】

【発明の効果】以上要するに本発明によれば、基板と窒化物半導体との格子定数の違いにより結晶欠陥が存在するが、表面の再結晶層の再結晶化がラテラル方向に起こ

るため、ELOGのように結晶欠陥が低減する。

【0064】また、基板と窒化物半導体との熱膨張差や格子定数差による歪みは、多孔質層により緩和されるので、反りが発生しない。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示すGa<sub>2</sub>Nの側面図である。

【図2】図1の基板及び多孔質層を剥離・除去した窒化物半導体の側面図である。

【図3】図1の基板を剥離・除去した窒化物半導体の側面図である。

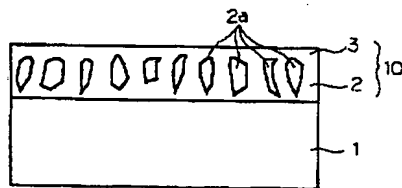
【図4】図1の再結晶層上に多層膜が形成された窒化物半導体の側面図である。

【図5】図1の窒化物半導体の製造過程を説明するための流れ図である。

【符号の説明】

- 1 サファイア基板
- 2 多孔質層（微細ボイド層）
- 2a 微細なボイド及びその集合体
- 3 再結晶層
- 10 窒化物半導体層

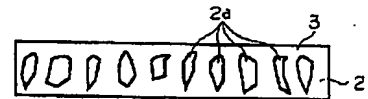
【図1】



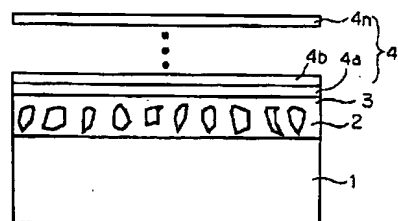
【図2】



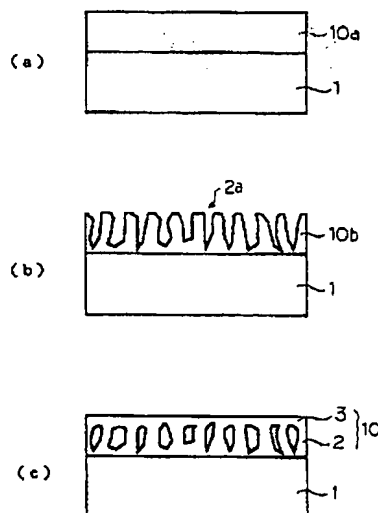
【図3】



【図4】



【図5】



## フロントページの続き

Fターム(参考) 5F041 AA31 AA40 CA34 CA40 CA46  
CA65 CA67 CA73 CA74 CA77  
5F043 AA16 BB10 DD02 DD08 DD14  
DD30 FF10 GG10  
5F045 AA04 AB09 AB14 AC12 AD12  
AD13 AD14 AF02 AF04 AF09  
AF12 BB11 BB12 CA07 CA09  
DA52 DA61 HA12 HA16  
5F052 CA01 DA04 DB01 DB06 EA15



(19) Japanese Patent Office (JP)

(12) Patent Laid-Open (A)

(11) Publication Number: 2001-223165 (P2001-223165A)

(43) Publication Date: August 17, 2001

(51) Int. Cl. <sup>7</sup>	Domestic Classification Symbol	FI	Theme Code (reference)
H01L 21/20		H01L 21/20	5F041
21/205		21/205	5F043
21/306		33/00	C 5F045
33/00		33/00	B 5F052

Request for Examination: not filed

Number of Claims: 10                      OL                      (6 pages in total)

(21) Application Number: 2000-38213 (P2000-38213)

(22) Filing Date: February 10, 2000

(71) Applicant: 000005120  
Hitachi Cable, Ltd.  
1-6-1, Otemachi, Chiyoda-ku, Tokyo

(72) Inventor: Harunori SAKAGUCHI  
c / o Advanced Research Center  
3550, Kidamari-cho, Tsuchiura-shi, Ibaraki

(74) Agent: 100068021  
Patent Attorney: Nobuo KINUTANI

continued to the last page

(54) [Title of the Invention]

NITRIDE SEMICONDUCTOR AND METHOD FOR MANUFACTURING THE SAME

(57) [Abstract]

[Problem] A Nitride semiconductor superior in quality and productivity and the manufacturing method thereof are provided by reducing generation of a crystal defect and by preventing a warp.

[Solution] In nitride semiconductor grown on a substrate 1 and a manufacturing the same, a nitride semiconductor layer 10 is grown on the substrate 1, a porous layer 2 having a plurality of minute voids 2a is formed in the nitride semiconductor 10, and thereafter a recrystallized layer 3 is formed by recrystallizing the surface with heat treatment.

[Claims]

[Claim 1] A nitride semiconductor comprising:

a substrate; and

a nitride semiconductor layer having a plurality of minute voids inside, which is formed on said substrate.

[Claim 2] A nitride semiconductor comprising:

a substrate;

a nitride semiconductor layer having a plurality of minute voids inside, which is formed on said substrate; and

a thin film having at least one layer is formed on said nitride semiconductor layer.

[Claim 3] A nitride semiconductor according to Claim 1 or 2, wherein said nitride semiconductor layer and said thin film are made from any one of GaN, AlGa<sub>N</sub> and InGa<sub>N</sub>.

[Claim 4] A method for manufacturing a nitride semiconductor comprising the steps of:

growing a nitride semiconductor layer on a substrate,

forming a plurality of minute voids in said nitride semiconductor layer, and

forming a recrystallized layer by recrystallizing the surface with heat treatment.

[Claim 5] A method for manufacturing a nitride semiconductor comprising the steps of:

growing a nitride semiconductor layer on a substrate,

forming a plurality of minute voids in said nitride semiconductor layer, and

forming a recrystallized layer by recrystallizing the surface with heat treatment,

and

forming a thin film having at least one layer on said recrystallized layer by epitaxial growth.

[Claim 6] A method for manufacturing a nitride semiconductor according to Claim 4 or 5, wherein the size, the number, the density, the distribution of said minute voids and the like are controlled by said heat treatment.

[Claim 7] A method for manufacturing a nitride semiconductor according to any one of Claims 4 to 6, wherein said substrate or said substrate and said porous layer having said voids are peeled off, after said manufacturing.

[Claim 8] A method for manufacturing a nitride semiconductor according to any one of Claims 4 to 7, wherein another substrate is attached to the surface on the opposite side to said substrate, and said substrate or said substrate and said porous layer are peeled off, after said manufacturing.

[Claim 9] A method for manufacturing a nitride semiconductor according to any one of Claims 4 to 8, wherein a semiconductor substrate such as silicon, a highly thermal conductive substrate such as aluminum nitride, or a metal substrate such as aluminum and copper are used for said another substrate.

[Claim 10] A method for manufacturing a nitride semiconductor according to any one of Claims 4 to 9, wherein said heat treatment is conducted in hydrogen,  $\text{NH}_3$ , or an atmosphere containing the both.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a nitride semiconductor and a method for manufacturing the same, specifically to a nitride semiconductor in which a nitride semiconductor layer has few crystal defects and warps is formed even on a dissimilar substrate and a method for manufacturing the same .

[0002]

[Prior Art] Generally, there is substantially no substrate using similar material as a nitride

semiconductor such as GaN, or its mixed such as crystal AlGa<sub>N</sub> and InGa<sub>N</sub>. Therefore, a thin film of the nitride semiconductor is grown over a dissimilar substrate such as sapphire, SiC.

[0003] However, the nitride semiconductor thus grown over the dissimilar substrate has a different lattice constant from the substrate. Accordingly, there are problems of increase in a crystal defect due to the difference in lattice constant between the nitride semiconductor and the substrate and a warp caused by thermal expansion difference between the substrate and the thin film during and after the growth.

[0004] A crystal defect deteriorates luminescence property and reliability of an optical element formed from the nitride semiconductor, which causes a leakage current and non-linearity of an electronic device, and decrease in reliability and the like.

[0005] In addition, the warp causes ununiformity of the contact with a heated substance (susceptor made from graphite, for example), which brings ununiformity to properties of epi thin film such as carrier density and composition. The ununiformity of temperature is fatal specifically when InGa<sub>N</sub> is used for a nitride semiconductor.

[0006] In photolithography carried out in the subsequent step of forming an element, the warp at an ordinary temperature after the growth becomes a serious problem in light-exposure of a minute pattern.

[0007] Accordingly, as a preventive measure against the crystal defects and warps, ELOG (O.-H. Nam etl, Appl. Phys. Lett. 71 (1997) 2472) and FIELO (A. Sakai etl, Appl. Phys. Lett. 71 (1997) 2259) using lateral direction growth by selective growth has been developed.

[0008] Besides this, a GaN substrate serving as a similar substrate to the nitride semiconductor to be formed has been also developed.

[0009] In addition, a technique is proposed, in which a sapphire substrate is removed after

a several hundreds  $\mu\text{m}$  GaN film is grown thereover by HVPE, which is more practical considering the quality and costs.

[0010]

[Problem to be Solved by the Invention] However, ELOG and FIELO still have a crystal defects of approximately  $10\text{E}6$  to  $10\text{E}7/\text{cm}^{-3}$ , and the problem of a warp is not improved at all.

[0011] In addition, the development of the GaN substrate is not practical because GaN substrate of 10mm diameter alone is manufactured and the production cost is very high since the GaN substrate is formed under extremely high pressure.

[0012] Moreover, as for the method for removing a sapphire substrate after GaN is grown on the sapphire substrate by HVPE, there are problems such that quite a few crystal defects are generated, and further there is no practical method for removing the sapphire substrate, which leaves the warp also after removing the substrate.

[0013] In view of the problem above, the object of the present invention is to provide a nitride semiconductor of high quality and productivity and a method for manufacturing the same by preventing crystal defects and warps.

[0014]

[Means for Solving the Problem] To solve the problem above, the invention of Claim 1 comprises a nitride semiconductor comprising a substrate and a nitride semiconductor layer having a plurality of minute voids inside, which is formed on said substrate.

[0015] The invention of Claim 2 comprises a nitride semiconductor comprising a substrate, a nitride semiconductor layer having a plurality of minute voids inside, which is formed on said substrate and a thin film having at least one layer is formed on said nitride semiconductor layer.

[0016] The invention of Claim 3 comprises the above nitride semiconductor layer and the

thin film are formed from any one of GaN, AlGaN and InGaN.

[0017] The invention of Claim 4 is a method that comprises the steps of: growing a nitride semiconductor layer, forming a plurality of minute voids in the nitride semiconductor layer, and forming a recrystallized layer by recrystallizing the surface with heat treatment.

[0018] The invention of Claim 5 is a method that comprise the steps of: growing a nitride semiconductor layer, forming a plurality of minute voids in the nitride semiconductor layer, forming a recrystallized layer by recrystallizing the surface with heat treatment, and forming a thin film having at least one layer on the recrystallized layer by epitaxial growth.

[0019] The invention of Claim 6 is a method in which the size, the number, the density, and the distribution of the minute voids are controlled by the heat treatment.

[0020] The invention of Claim 7 is a method for peeling off the porous layer having the substrate or substrate and voids, after having done the manufacturing above.

[0021] The invention of Claim 8 is a method in which another substrate is attached to the surface on the opposite side to the substrate, and in which the substrate or the substrate and the porous layer are exfoliated, after having done the manufacturing above.

[0022] A method for manufacturing a nitride semiconductor according to any one of Claims 4 to 8, wherein a semiconductor substrate such as silicon, a highly thermal conductive substrate such as aluminum nitride, or a metal substrate such as aluminum and copper is used for said another substrate.

[0023] The invention of Claim 10 is a method in which the heat treatment is conducted in hydrogen,  $\text{NH}_3$ , or an atmosphere containing the both.

[0024] In other words, the main point of the invention is to form a porous layer over the surface of a GaN film (AlGaN, InGaN are also acceptable) by etching with anodizing and photoetching (C. Youtsey etl, Appl. Phys. Lett. 71, (1997) 2151) the GaN film. In

addition, another main point of the present invention is to form a GaN epi film having a smooth recrystallized layer whose surface is continuous by applying a heat treatment to the porous GaN in hydrogen.

[0025] According to the structures above, the porous GaN reacts with hydrogen, and the part thereof becomes Ga and  $\text{NH}_3$ . The Ga reacts with  $\text{NH}_3$  in a nuclear growth site such as a kink and a step by migrating its surface, which induces epitaxial growth of GaN. This epitaxial growth proceeds until GaN becomes in a thermal equilibrium state. By a suitable temperature, a time amount, the purity of hydrogen, and gas mixing of  $\text{NH}_3$  and the like, the surface of the porous GaN is grown epitaxially as well as recrystallized to form a smooth GaN epi film having a continuous surface.

[0026] Accordingly, although the difference in a lattice constant between a substrate and a nitride semiconductor, a crystal defect occurs in the vicinity of those interfaces. However, the surface is recrystallized in a lateral direction, and the crystal defect is reduced in the recrystallized layer like ELOG.

[0027] In addition, distortion caused by difference in thermal expansion and in a lattice constant between a substrate and a nitride semiconductor is reduced by the part of a plurality of minute voids that serves as a cushion layer in a sense.

[0028] Accordingly, the crystal defect in an epi film decreases, and the warp during and after the epi growth is also largely reduced.

[0029] Moreover, according to the present invention, this porous (void) layer is dissolved and broken by selective etching, a very high pressure stream, GaAs jet, laser beam cutting or the like. Then, an epi film is peeled off from the substrate and stuck on another substrate (the epi film can be stuck before the peeling off, of course). Accordingly, it becomes also possible to provide an optimum substrate/ epi structure which adapts to device application.



[0030]

[Embodiment Mode of the Invention] Next, one preferred embodiment mode of the present invention is explained in detail based on accompanying drawings.

[0031] FIG. 1 is a side elevation of GaN as a nitride semiconductor according to the present invention.

[0032] As shown in FIG. 1, this GaN includes a sapphire substrate 1 and a nitride semiconductor layer 10 formed thereover. In other words, the GaN is a nitride a semiconductor formed on a dissimilar substrate.

[0033] A recrystallized layer 3 comprising high quality GaN is formed on a surface side of the nitride semiconductor layer 10. In addition, a porous GaN layer 2 comprising minute voids and the aggregates thereof 2a is formed on the substrate side of the nitride semiconductor layer 10.

[0034] A method for manufacturing this GaN is described with reference to FIG. 5.

[0035] When the GaN shown in FIG. 1 is formed, as shown in FIG. 5(a), a thin film of GaN 10a is grown on the sapphire substrate 1 at first by normal MOCVD method, MBE method, HVPEH method and the like.

[0036] Then, this GaN 10a is etched by the photoetching above (C. Youtsey etl, Appl. Phys. Lett. 71, (1997) 2151) as shown in FIG. 5(b), and porous 10b comprising a plurality of minute voids and the aggregates thereof 2a is formed. A plurality of voids 2a is formed by regulating the condition of photoetching (light intensity, wavelength, and temperature of etchant).

[0037] Moreover, the basic conditions of this etching are, for example, irradiation light of ultraviolet ray having a wavelength of 365nm and etchant of mixed aqueous solution of KOH with  $K_2S_2O_8$ . GaN is then put into the etchant to be etched by emitting the irradiation light. As this occurs, when there is a part (entire or a part of front or back

surface of GaN) that is not to be dissolved into the etchant, noble metal such as Au and Pt may be adhered thereto.

[0038] Then, this porous GaN is put in a MOCVD furnace and heated in hydrogen. At this time,  $\text{NH}_3$  or nitrogen may be mixed in the hydrogen. In general, a heating temperature is from  $800^\circ\text{C}$  to  $1100^\circ\text{C}$ , and a heating time is from several seconds to several hours. However, the condition of time and temperature other than the described above is acceptable, depending on the condition of porous GaN.

[0039] As shown in FIG. 5(c), by this heating, porous GaN reacts with hydrogen, and the part thereof becomes Ga and  $\text{NH}_3$ . The Ga reacts with  $\text{NH}_3$  in a nuclear growth site such as a kink and a step by migrating its surface, which induces epitaxial growth of GaN. This epitaxial growth proceeds until GaN becomes in a thermal equilibrium state. By a suitable temperature, a time amount, the purity of hydrogen, and gas mixing of  $\text{NH}_3$  and the like, the surface of the porous GaN is grown epitaxially as well as recrystallized to form a smooth recrystallized layer 3 having a continuous surface.

[0040] Like this manner, a GaN film is formed, in which recrystallized layer 3 is provided on its surface and the porous layer (minute void layer) 2 having a plurality of the minute voids 2a therebeneath.

[0041] The properties of the minute void layer 2 (void's size and density, distribution of the void's size, thickness of the minute void layer 2 and the like) are controlled by further heat treatment, or further heat treatment after a heat processing.

[0042] After that, the inside of furnace is cooled, and the GaN is taken out.

[0043] From the difference in a lattice constant between the sapphire substrate 1 and a nitride semiconductor layer 10, GaN manufactured as described has a crystal defect in the vicinity of those interfaces. However, the recrystallized layer 3 on the surface is recrystallized in a lateral direction, and the crystal defect is reduced in the recrystallized

layer like ELOG

[0044] Distortion caused by thermal expansion difference between the sapphire substrate 1 and the nitride semiconductor layer 10 is reduced by the porous layer 2. Accordingly, a warp does not occur in GaN.

[0045] Further, the minute void layer (porous layer) 2 becomes to have a low dielectric constant and high resistivity. Therefore, in a HEMT broadside device formed from this GaN, parasitic resistance as well as a leakage current is reduced.

[0046] Moreover, according to the present invention, this porous (void) layer 2 is dissolved and broken by selective etching, a very high pressure stream, GaAs jet, laser beam cutting or the like. Then, the epi film is peeled off from the sapphire substrate 1, and stuck on another substrate (the epi film can be stuck before peeling off, of course). Accordingly, it becomes also possible to provide an optimum substrate/ epi structure which adapts to device application.

[0047] Next, another embodiment mode of the present invention is described.

[0048] FIG. 2 is a side elevation of the recrystallized layer shown in FIG. 1, where the GaN substrate and porous layer are peeled off and removed.

[0049] As shown in FIG2, this GaN(3) is formed from GaN grown on porous GaN alone.

[0050] Therefore, since this GaN(3) is the GaN grown on a similar substrate, a crystal defects and warps dose not occur therein.

[0051] Accordingly, in the case where an optical element is formed from this GaN(3), the optical element of high reliability is formed without deterioration in luminescence property thereof. In addition, neither leakage current nor non-linearity of an electronic device does occur.

[0052] Moreover, since there is no warp in GaN(3), the contact with a heated product is kept uniformly, and the properties such as a carrier density and composition of an

epitaxial thin film become uniform. At the same time, also in photolithography after the growth, GaN has superior usability in a light exposure step patterning a minute pattern.

[0053] As another embodiment mode, a side elevation of GaN (a nitride semiconductor layer) is shown in FIG. 3, where the substrate of GaN shown in FIG. 1 is peeled off and removed.

[0054] As shown in FIG. 3, this GaN includes the porous layer 2 formed on a substrate side and the recrystallized layer 3 formed on a surface side.

[0055] That is, although a crystal defect due to the difference in a lattice constant between the substrate exists on a substrate side of GaN, surface is recrystallized in a lateral direction. Therefore, the crystal defect does not occur in the recrystallized layer 3. In addition, since the GaN is formed on a similar substrate, the element of high reliability can be formed without deterioration in properties of the element like the GaN in FIG. 2 when an optical element is formed from this GaN.

[0056] In addition, as an embodiment mode other than these embodiment modes, a side elevation of GaN is shown in FIG. 4, where a plurality of thin films of nitride semiconductor is multilayered.

[0057] As shown in FIG. 4, after this GaN goes to heating process of porous GaN, which is described in the present embodiment mode, nitride semiconductors 4a, 4b, ...4n such as GaN, AlGa<sub>N</sub> or InGa<sub>N</sub> are left in the furnace as they are and grown epitaxially so as to have a structure for a device for GaN system. Otherwise, after taking out a GaN wafer from the furnace, a device structure is grown epitaxially by an MOCVD method on the GaN wafer separately. By doing that, the GaN shown in FIG. 4 is formed, where a thin film (multi-layer) 4 in which the nitride semiconductors 4a, 4b, ...4n are multilayered.

[0058] In the case in which a device formed from this multi-layer nitride semiconductor is a LED, for example, Si doped n-type GaN layer, Quantum well type active layer of

undoped InGaN and undoped GaN, and Mg doped p-type GaN layer may be grown sequentially on the surface crystallized porous GaN.

[0059] In addition, in the case in which a device to be formed is an HEMT, for example, undoped GaN layer is firstly grown, and further, a buffer layer in which a plurality of AlGaN layer and GaN layer are stuck alternately. Furthermore, a channel layer of GaN or InGaN are grown thereover. Then, an n-type AlGaN or an n-type GaN carrier supply layer is grown, further, an n++ type GaN or an n++ type InGaN layer may be grown thereover as an ohmic contact layer. Otherwise, the carrier supply layer may be an undoped layer.

[0060] Moreover, although the case in which the nitride semiconductor layer is GaN is described in the present embodiment mode, the nitride semiconductor layer 10 may be a thin film of either AlGaN or InGaN as a modified example. Furthermore, although the multi-layer film is described in another embodiment mode, the combination of GaN, AlGaN or InGaN is not limited thereof, of course.

[0061] Furthermore, other than sapphire, GaN, SiC, and bulk GaN may be used as a substrate.

[0062] Still further, although an MOCVD furnace is used as fission reactor, a common CVD furnace, MBE furnace, HVPE furnace and diffusion furnace are acceptable. Heat treatment at this time may be conducted in  $\text{NH}_3$  as well as hydrogen, or in atmosphere including the both.

[0063]

[Effect of the Invention] Basically, according to the present invention, a crystal defect is occurred by the difference in a lattice constant between a substrate and nitride semiconductor. However, since a surface is recrystallized in a lateral direction, a crystal defect is decreased like ELOG.

[0064] Moreover, since thermal expansion difference between the substrate and nitride semiconductor and distortion due to lattice constant difference are reduced by a porous layer, a warp dose not occur.

[Brief Description of the Drawings]

[FIG. 1] A side elevation of GaN showing one embodiment of the present invention

[FIG. 2] A side elevation of a nitride semiconductor that the substrate and the porous layer in FIG. 1 are peeled off and removed

[FIG. 3] A side elevation of a nitride semiconductor that the substrate in FIG. 1 is peeled off and removed

[FIG. 4] A side elevation of a nitride semiconductor that a multi-layer film is formed on the recrystallized layer in FIG. 1

[FIG. 5] A flow sheet to illustrate a manufacturing process of a nitride semiconductor in FIG. 1

[Denotation of Reference Numerals]

- 1 A sapphire substrate
- 2 A porous layer (a minute void layer)
- 2a Minute voids and the cluster thereof
- 3 A recrystallized layer
- 10 A nitride semiconductor layer

Continued from the front page

F-term (reference) 5F041 AA31 AA40 CA34 CA40 CA46  
CA65 CA67 CA73 CA74 CA77  
5F043 AA16 BB10 DD02 DD08 DD14  
DD30 FF10 GG10  
5F045 AA04 AB09 AB14 AC12 AD12  
AD13 AD14 AF02 AF04 AF09  
AF12 BB11 BB12 CA07 CA09  
DA52 DA61 HA12 HA16  
5F052 CA01 DA04 DB01 DB06 EA15